

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106350

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H01L 21/52
H01L 21/60

(21)Application number : 05-265410

(71)Applicant : NEC CORP

(22)Date of filing : 30.09.1993

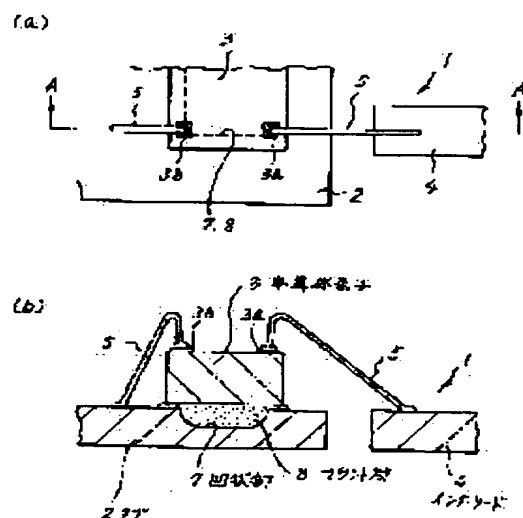
(72)Inventor : MURATA TOMOJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable the high-frequency characteristics to be enhanced by shortening the length of a grounding metallic wire on an island whereon a semiconductor element is mounted.

CONSTITUTION: A recession 7 in the less area than the bottom area of a semiconductor element 3 is formed on the surface of an island part (tab) whereon the semiconductor element 3 is mounted using a mounting member 8 to be inserted into this recession 7 so that the semiconductor element 3 may be mounted as if covering this recession 7. Since this recession 7 is covered with the semiconductor element 3, the mounting material 8 can be prevented from running out onto the surface of the tab 2 around the semiconductor element 3 thereby enabling the length of a grounding metallic wire 5 to be shortened for enhancing the high-frequency characteristics of a semiconductor device.



LEGAL STATUS

[Date of request for examination]

23.03.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2536431

[Date of registration]

08.07.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106350

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/52	A			
21/60	3 0 1 B	6918-4M		

審査請求 有 請求項の数 5 F D (全 5 頁)

(21) 出願番号 特願平5-265410

(22) 出願日 平成5年(1993)9月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 村田 智司

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 鈴木 章夫

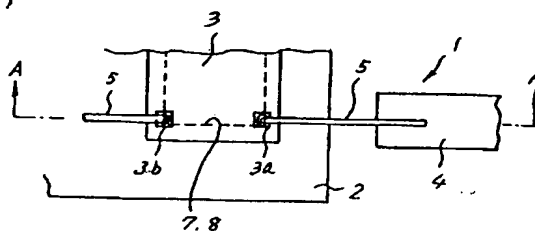
(54) 【発明の名称】 半導体装置

(57) 【要約】

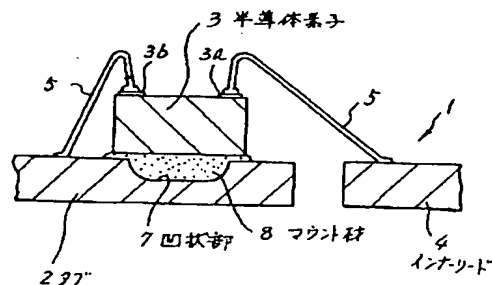
【目的】 アイランド部に搭載した半導体素子をアイランド部に接地するための金属ワイヤの長さを短くし、高周波特性を改善することを可能にする。

【構成】 半導体素子3をマウント材8により搭載するアイランド部(タブ)2の表面に半導体素子3の底面積よりも小さい面積の凹状部7を形成し、この凹状部7にマウント材8を介装し、この凹状部7を覆うように半導体素子3を搭載する。凹状部7は半導体素子3により覆われるため、マウント材8が半導体素子3の周辺のタブ2の表面に流れ出すことが抑制でき、接地用の金属ワイヤ5の長さを短くでき、半導体装置の高周波特性を改善する。

(a)



(b)



【特許請求の範囲】

【請求項1】 半導体素子をマウント材によりアイランド部に搭載し、前記半導体素子の電極とアイランド部とを金属ワイヤによりボンディングする半導体装置において、前記アイランド部の表面に半導体素子の底面積よりも小さい面積の凹状部を形成し、この凹状部にマウント材を介装し、この凹状部を覆うように前記半導体素子を搭載したことを特徴とする半導体装置。

【請求項2】 凹状部はその縦横寸法が半導体素子の縦横寸法よりも小さくされてなる請求項1の半導体装置。

【請求項3】 凹状部の容積は、マウント材の体積に略等しい請求項2の半導体装置。

【請求項4】 凹状部は、その一辺以上の辺において半導体素子の外側に張り出す凹溝部を有する請求項1または2の半導体装置。

【請求項5】 金属ワイヤが半導体素子の直近のタブの表面位置にボンディングされてなる請求項1または4のいずれかの半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に半導体素子をアイランド部にマウント材で接着しかつアイランド部に電気接続を行う半導体装置に関する。

【0002】

【従来の技術】 一般に高周波用半導体装置では、半導体素子の共振を防ぐために、半導体素子を搭載するアイランド部を接地（グランド）することが多い。また、半導体素子の接地用電極を接地電位に接続するため、接地用電極とアイランド部とを金属ワイヤによってボンディングを行っている。図5は従来のこの種の半導体装置の一例を示す図である。Fe-Ni合金、あるいはCu系合金からなる板材をプレス加工、もしくはエッチング加工してリードフレーム1を形成し、インナーリード4の先端と、半導体素子3を搭載するタブ2にAu、Ag等の貴金属めっきを施している。半導体素子をタブに搭載するために接着剤やろう材等のマウント材8を用いている。また、マウントされた半導体素子3をインナーリード4に電気接続するために、Au等の金属ワイヤ5によって半導体素子3の電極3aとインナーリード4とを接続する。同様に、半導体素子3の接地用電極3bをタブ2に電気接続するために金属ワイヤ5のボンディングを行っている。

【0003】 ところで、このような半導体装置では、半導体素子3を搭載するタブ2の表面が平坦であるため、マウント材8が半導体素子3の下面から周囲に流れ出し易い。このため、半導体素子3の接地用電極3bに接続された金属ワイヤ5の他端をタブ2に接続しようとしたときに、その位置にまでマウント材8が流れ出していると、好適なワイヤボンディングを行うことができなくなるという問題がある。このため、マウント材8の流れ出

しを制御することが要求されているが、実際にはこの流れ出す量を制御することは難しい。また、半導体素子3をマウントするときの位置決めにおいても多少の誤差が生じるため、このマウント材8の流れ出し量の制御誤差と、半導体素子3の位置決め誤差によって、金属ワイヤ5を接続する箇所にマウント材8が存在しないようにすることは極めて難しい。

【0004】 因みに、マウント材8の流れ出し量は、半導体素子3の側面から $X1 = 0.2 \sim 0.4$ mm程度であり、半導体素子3のマウント位置誤差は $X2 = 0.06 \sim 0.1$ mm程度である。このため、これらの値を考慮して金属ワイヤ5のボンディングを行う必要があり、結果として接地用の金属ワイヤ5が長くなる。一般に高周波帯域では、ワイヤはインダクタンスとして等価されるため、接地用の金属ワイヤが長くなればインダクタンスが大きくなり、半導体素子の高周波特性を大きく低下させる原因となる。

【0005】 このため、従来では図6に示す半導体装置が提案されている。この例ではマウント材8が周囲に流れ出すのを防止するために、タブ1の表面をハーフエッチング加工、またはディンプル加工等して半導体素子3の大きさより大きな凹状部12を形成している。この凹状部12を設けることにより、マウント材8が凹状部12の外側に流れ出ないようにし、凹状部12の外側直近部位での接地用金属ワイヤ5のボンディングを可能とし、金属ワイヤ5の短縮化を図っている。

【0006】

【発明が解決しようとする課題】 しかしながら、この構成においても、半導体素子3の寸法に対して凹状部12の寸法に余裕がないと凹状部12の側面部に這い上がったマウント材8が素子の側面部に這い上がり、素子表面でのショート不良を起こす場合がある。このため、その余裕寸法 $X3$ と、前記した例と同様に半導体素子をマウントするときの位置精度 $X2$ との寸法を考慮して凹状部12の寸法を決定する必要がある、このために凹状部12が半導体素子3の寸法に比較して格段に大きくなり、結果として接地用の金属ワイヤ5の長さを短くすることが難しくなるという問題がある。長くなる。また、半導体素子3を凹状部12の底面に搭載するために、タブ2の表面に対して半導体素子3の高さが低くなり、インナーリード4に接続される金属ワイヤ5が撓んだときに、金属ワイヤ5がタブ2のエッジに接触して電氣的な短絡が発生し易いという問題もある。本発明の目的は、接地用の金属ワイヤの長さを短くし、高周波特性を改善することを可能にした半導体装置を提供することにある。

【0007】

【課題を解決するための手段】 本発明は、半導体素子をマウント材により搭載するアイランド部の表面に半導体素子の底面積よりも小さい面積の凹状部を形成し、この凹状部にマウント材を介装し、この凹状部を覆うように

半導体素子を搭載した構成とする。この場合、凹状部はその縦横寸法が半導体素子の縦横寸法よりも小さくされ、更に凹状部の容積は、マウント材の体積に略等しくされる。また、凹状部は、その一辺以上の辺において半導体素子の外側に張り出す凹溝部を有する構成としてもよい。

【0008】

【作用】半導体素子をアイランド部の表面上に搭載する一方で、凹状部によりマウント材が半導体素子の周辺部に流れ出すことが防止され、金属ワイヤを半導体素子の直近のタブの表面位置にボンディングでき、金属ワイヤの短縮を可能とする。

【0009】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例の半導体装置の要部の構成を示す断面図であり、リードフレーム1のタブ2上に半導体素子3を搭載し、この半導体素子3の電極3aとインナーリード4、及び接地用電極3bとタブ2をそれぞれ金属ワイヤ5で接続し、かつこれらを樹脂6で封止した構成の半導体装置とされている。図2はその要部を拡大した平面図とそのA-A線断面図である。前記リードフレーム1は、Fe-Ni合金あるいはCu系合金からなる板材をプレス加工もしくはエッチング加工により所要の形状とし、前記タブ2とインナーリード4を形成する。そして、前記タブ2の表面には半導体素子の底面積よりも小さい凹状部7、即ち、半導体素子3の縦横寸法よりも小さい縦横寸法の凹状部を形成する。

【0010】この場合、凹状部7は半導体素子3をタブ2にマウントするときの位置精度のばらつきを考慮し、マウント位置精度分小さい面積とする。また、この凹状部7の深さはリードフレーム1の板材の厚さの1/4～3/4程度であり、結果として半導体素子3をマウントする際に用いるマウント材の体積に略等しい容積となるようにする。なお、この凹状部7の形成に際しては、プレス加工もしくはエッチング加工により設けることができ、前記タブ2やインナーリード4の形成と同時に形成することが可能である。また、タブ2及びインナーリード4の表面には貴金属めっきを施しておく。

【0011】そして、タブ2に半導体素子3をマウントするために、凹状部7内にマウント材8を流し込む。このとき、マウント材8は表面張力によって凹状部7内においてタブ2の表面上から多少盛り上がる程度の量に制御する。その後、このマウント材8が盛り上がったところに半導体素子3を載置し、マウントする。このとき、マウント材8は前記した量に制御しているため、半導体素子3の底面と凹状部7との間から半導体装置3の周囲に流れ出すマウント材8を最小に抑えることができ、凹状部7の周囲のタブ表面にマウント材8が大きく広がることはない。

【0012】したがって、半導体素子3の接地用電極3

aを金属ワイヤ5によりタブ2にボンディングを行う場合、金属ワイヤ5のタブ2への接続箇所を凹状部7の近傍位置に設定してもマウント材8によりボンディングが阻害されることがなくなり、結果として最短のワイヤループで接続することができ、金属ワイヤ5の長さを最短にすることができる。これにより高周波特性を改善することができる。また、この構成では、半導体素子3はタブ2の表面上にマウントできるため、図6に示した凹状部内にマウントする場合に比較して半導体素子3の表面高さが低くされることはなく、特にインナーリード4に接続を行うための金属ワイヤ5が撓んだときにタブ2のエッジに接触して電氣的に短絡することを有効に防止する。更に、この構成によれば、タブ2に対する半導体素子3のマウント位置精度が低くても、半導体素子3が凹状部7を覆う位置にさえマウントされていれば、前記した効果を得ることができ、マウント精度によって金属ワイヤ5の長さが影響されることはない。

【0013】図3は本発明の第2実施例の要部の平面図及びB-B線断面図であり、第1実施例と同一部分には同一符号を付してある。この実施例ではタブ2の表面に形成する凹状部7の形状を第1実施例のものとは相違させてある。即ち、凹状部7を半導体素子3の縦横寸法よりも小さく形成する点では同じであるが、金属ワイヤ5を接続しない1つの辺或いは対向する2つの辺に、半導体素子3の外側にはみ出す凹溝部9を凹状部7に連続して形成している。

【0014】この凹溝部9を形成することにより、凹状部7にマウント材8を盛り上げ、その上に半導体素子3を載置してマウントを行った際に、マウント材8が凹状部7の周辺に逃げる際に、マウント材8が凹溝部9に逃げるようになり、タブ2の表面上に広がることをより有効に防止できる。これにより、前記実施例に比較してマウント材8の量に多少の誤差が生じている場合でもマウント材8がタブ2の表面上に全く広がらない状態で半導体素子3をタブ2にマウントすることが可能となり、マウント材8の量の管理が容易になるとともに、タブ2に接続する金属ワイヤ5の短縮化を更に進めることが可能となる。なお、前記実施例では樹脂封止型の半導体装置に本発明を適用した例を示しているが、図4に示すように、セラミックで構成されたベース部10やキャップ部11で構成されるセラミックパッケージ型の半導体装置においても本発明を同様に適用でき、これにより接地用の金属ワイヤを最短ボンディングすることができ、半導体装置の高周波特性を改善することが可能となる。

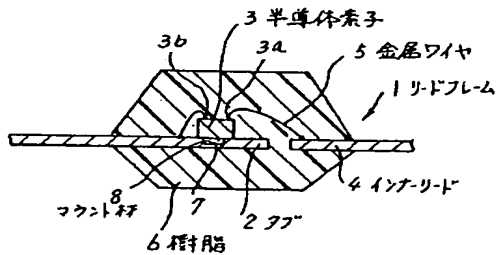
【0015】因みに、従来と同一規格の半導体装置に本発明を適用したところ、従来では金属ワイヤの長さが700μmで、そのアイソレーションが-21.5dBであったのに対し、本発明においては金属ワイヤの長さを300μmに短縮でき、かつそのアイソレーションが-23.5dBに改善されたことが確認された。

【0016】

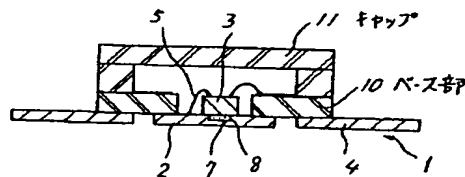
【発明の効果】以上説明したように本発明は、アイランド部の表面に半導体素子の底面積よりも小さい面積の凹状部を形成し、この凹状部にマウント材を介装し、この凹状部を覆うように半導体素子を搭載しているので、半導体素子をアイランド部の表面上に搭載して金属ワイヤによる短絡を防止する一方で、凹状部によりマウント材が半導体素子の周辺部に流れ出すことが防止され、金属ワイヤを半導体素子の直近のタブの表面位置にボンディングでき、金属ワイヤの短縮を可能とし、その高周波特性を改善することができる効果がある。また、凹状部は、その一辺以上の辺において半導体素子の外側に張り出す凹溝部を有する構成とすることで、マウント材の量に多少の誤差が生じている場合でもマウント材がタブの表面上に全く広がらない状態で半導体素子をタブにマウントすることが可能となり、マウント材の量の管理が容易になるとともに、タブに接続する金属ワイヤを短縮化を更に進めることが可能となる。

【図面の簡単な説明】

【図1】

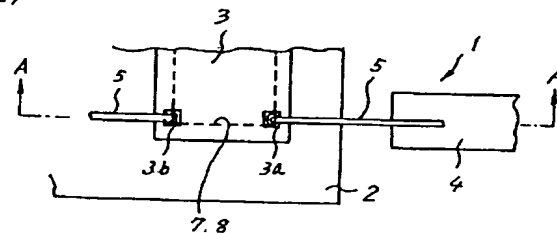


【図4】

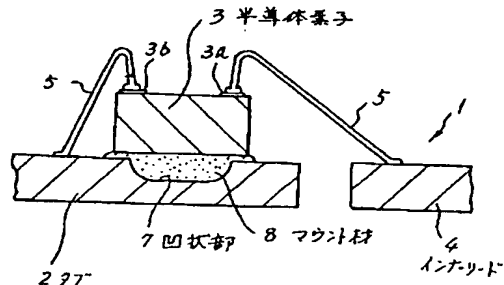


【図2】

(a)



(b)



*【図1】本発明の一実施例の全体構成を示す断面図である。

【図2】図1の要部の平面図とそのA-A線断面図である。

【図3】本発明の第二実施例の要部の平面図とそのB-B線断面図である。

【図4】本発明が適用可能な他の種類の半導体装置の全体構成の断面図である。

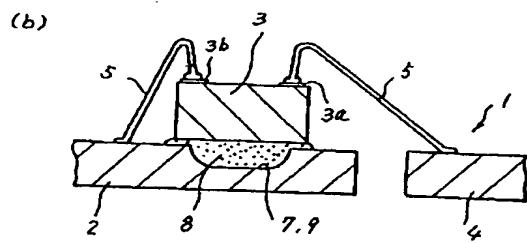
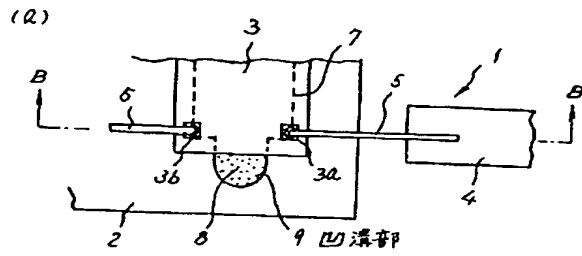
【図5】従来の半導体装置の一部の断面図である。

10 【図6】従来の改善された半導体装置の一部の断面図である。

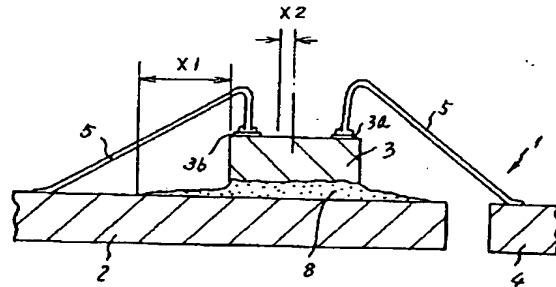
【符号の説明】

- 1 リードフレーム
- 2 タブ（アイランド部）
- 3 半導体素子
- 4 インナーリード
- 5 金属ワイヤ
- 7 凹状部
- 8 マウント材

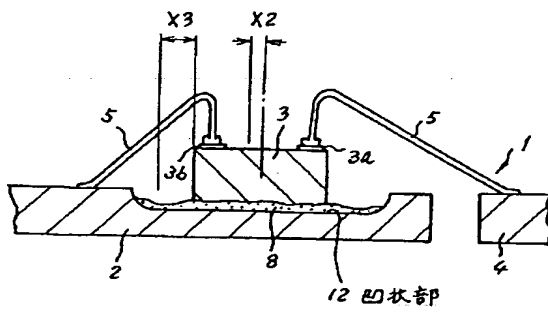
【図3】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.